

(19) JAPANESE PATENT OFFICE (JP)

(12) PUBLICATION OF UNEXAMINED (KOKAI) PATENT APPLICATION (A)

(11) Kokai (Unexamined Patent) Number: 57-12558

(43) Date of Disclosure: January 22, 1982

(51) Int. Cl. ³	Identif. Symbol	Intra-Office Number
H 01 L 29/78		6603-5F
29/06		7514-5F

Examination Requested: Not Requested
Number of Inventions: 1 (total of 3 pages)

(54) HIGH VOLTAGE RESISTANT MOS TRANSISTOR

(21) Application Number: 55-86879

(22) Filing Date: June 25, 1980

(72) Inventor: Takehiko Takada
c/o Sanyo Electric Co., Ltd,
Gunma-ken, Kokubunji-shi, Oaraki-to
Oizumi-cho Oaza, 1-chome, 180-bango

(71) Applicant: Sanyo Electric Co. Ltd.
Gunma-ken, Kokubunji-shi, Oaraki-to
Oizumi-cho Oaza, 1-chome, 180-bango

(71) Tokyo Sanyo Electric Co., Ltd.
Moriguchi-shi, Kyosakamoto Dori
2-chome, 18-banchi

(74) Representative: Tkao Sano, Sano patent attorney

SPECIFICATIONS

1. Title of the Invention: High Voltage Resistant MOS Transistor

2. Scope of the Patent's Claims:

1. A high voltage resistant MOS transistor, characterized by the fact that it is equipped with a source and drain region of the second conductive type, formed in the shape of a comb and mutually separated from a semiconductor substrate of the first conductive type,

a low impurity concentration region of the second conductive type formed on the side of said drain region,

as well as a channel region, formed between said low impurity concentration region and said source region,

wherein the channel length of a curved part of the channel region, formed in the front end part of said source region, is longer than that of the other part.

3. Detailed Explanation of the Invention

This invention relates to a MOS transistor construction with a drain which is highly resistant to voltage.

Because MOS transistors have generally a much higher switching speed when compared to bipolar transistors, they are used mainly as power elements and high-frequency elements having a positive coefficient of input characteristics.

Figure 1 shows a profile view of a common MOS transistor. As shown in Figure 1, (1) indicates a P-type silicon substrate, (2) and (3) are N⁺ type source and drain regions, respectively, (4) is a gate oxide film, and numbers (5), (6), and (7) indicate a source electrode, a drain electrode, and a gate electrode. In addition, the part shown in Figure 1 by the broken line indicates an equipotential line when a drain voltage is applied. Although the drain voltage is limited by the junction voltage of drain region (3) and substrate (1), one can clearly see from the equipotential line that in reality, the voltage is determined depending on the concentration of the electric current in the vicinity of the surface of drain region (3), which depends on the combined influence of gate electrode (7) and drain region (3). When gate oxide film (4) is approximately 1,000 Å thick, the drain voltage resistance will be only about 50 V.

Figure 2 is a profile view showing the construction of a MOS transistor characterized by an improved drain resistance. Number (8) is a P-type silicon substrate, numbers (9) and (10) indicate an N⁺ type source and drain region, respectively, (11), (12), and (13) are a source electrode, a drain electrode, and a gate electrode, respectively, and an N⁻ type low impurity concentration region (15) is created in the direction from drain region (10) to channel region (14).

[page 2]

Depending on the formation of this low impurity concentration region (15), the equipotential line can be extended in the direction of channel region (14) as shown by the broken line, which makes it possible to increase the drain resistance voltage from 300 V to 400 V by preventing electric current concentration in the vicinity of the surface of drain region (10). This low impurity concentration region (15) is commonly called a drift channel.

On the other hand, although it is possible to increase the gate width W and to shorten the gate length L based on $gm \propto W/L$ in order to obtain a high reciprocal conductance gm (W is the gate width and L is the gate length), since the length of the gate cannot be too short, normally, it is formed in the range of $2 \sim 7 \mu$. Therefore, it is known that a comb shaped construction can be used for the source and drain region in order to increase the width of the gate. Figure 3 shows a partial surface view of a such a MOS transistor. As shown in Figure 3, (16) indicates a P⁺ type silicon substrate, (17) and (18) are an N⁺ conductive type source region and drain region, respectively, (19) is an N⁻ conductive type low impurity concentration region and (20) is a channel region. Source region (17) and drain region (18) are combined so as to form together a comb shape. Accordingly, it is possible to increase the gate width because channel region 20 is formed in a zigzag shape.

However, since the lines of electric force which are concentrated as shown by the channel marks in the direction toward the front end part of channel area (20) of protruding area (17) from the vicinity of the base of the comb shape of drain area (18), it is not possible to improve the status of breakdown electric current and voltage which is caused by a breakdown yield status in the boundary between the low impurity concentration area (19) and the curved part of channel area (20). As shown in Figure 5, which is a graph indicating the yield breakdown, at the point when the drain breakdown voltage V_{DSS} is applied, a yield breakdown will be generated by electric current in the point indicated by point a, and at this time, the electric current will be characterized by a breakdown current $I_{BP(P)}$. In the construction which is shown in Figure 3, the breakdown voltage V_{DSS} is approximately in the range of 300 V \sim 400 V and the breakdown $I_{BE(P)}$ current is approximately in the range of 1 \sim 3 mA.

In view of the above described problems, this invention provides a highly voltage resistant MOS transistor which eliminates the above described disadvantages. The following is a detailed explanation of this invention which is based on the enclosed figures.

Figure 4 shows a partial top view of one an embodiment of this invention. In this figure, (21) indicates a P⁺ type silicon substrate, (22) and (23) are an N⁺ conductive type source and drain region, respectively, (24) is an N⁻ conductive type low impurity concentration region, and (25) is a channel region.

Layer resistance R_s in the range of approximately 10 \sim 20 Ω is used in P⁺ type silicon substrate 21. Low impurity concentration region (24), which can be formed by epitaxial growth or ion implantation, etc., forms a layer having resistance $R_s = 8 \Omega \text{ cm}$, with a depth of about 20

μ . On the other hand, source region (22) and drain region (23) are formed by diffusion so that they both create a combined comb shape. Channel region (25) between them is formed with an implanted impurity created by ion implantation in order to control the channel concentration. In addition, the channel length of channel region (25) is 3μ and the channel is formed with a width of 120 [illegible unit, nm?]

This channel region (25) is formed with a channel length l' in the curved part of the front end part which is longer than channel length l in the other part. In other words, the boundary between the channel region (25) and source region (22) is formed as a straight line and so that it passes through the side of source region (22). It can be also formed as a curved line having a larger curve radius. When the channel lengths are formed in this manner so that $l < l'$, the channel resistance in the curved part of the front end part will be greater than that in the other part, the electric force lines will be reduced from the base of drain region (23) toward the curved part, and the boundary will be weakened in this part. Accordingly, this makes it possible to prevent a concentration of electric current.

Figure 6 is a graph showing the results of a test of the embodiment shown in Figure 5, indicating the relationship between channel length l' in the curved part and breakdown voltage $I_{BR(P)}$. In addition, the channel length l was in this case 3μ .

When the channel length $l' = 3 \mu$, the breakdown voltage $V_{DSS} = 400 \text{ V}$, the breakdown current $I_{BR(P)} = 1 \sim 3 \text{ mA}$. On the other hand, when the channel length $l' = 4 \mu$, the breakdown voltage $V_{DSS} = 430 \text{ V}$, and if the breakdown current is $19 \sim 29 \text{ mA}$ and the channel length $l' = 5 \mu$, the breakdown voltage $V_{DSS} = 440 \text{ V}$, while if the breakdown current $I_{BR(P)} = 30 \sim 40 \text{ mA}$, and if the channel length $l' = 6 \mu$, the breakdown voltage $V_{DSS} = 450 \text{ V}$, and the breakdown current $I_{BR(P)} = 40 \sim 50 \text{ mA}$. It is clear from the results above that it is therefore possible to improve the breakdown voltage V_{DSS} in this manner and at the same time also to greatly improve the breakdown current $I_{BR(P)}$.

As was explained above, when the channel length of the curved part of the channel region in the front end part of a source region is formed longer than in the other part according to the design of this invention, the channel resistance is increased in this part.

[page 3]

And because this makes it possible to prevent the concentration of electric current, this design thus also makes it possible to greatly improve breakdown voltage and breakdown current, enabling to obtain a highly voltage resistant MOS transistor.

Patent Applicant: Sanyo Electric Co., Ltd., 1 other name

Representative: Takao Sano, patent attorney.

(Figure 1, 2, 3, 4 and 5)

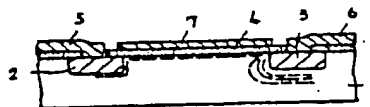
4. Brief Explanation of Figures

Figure 1 shows a partial profile view of an example of prior art, Figure 2 shows a partial profile view of an improved design of prior art, Figure 3 shows a top view of a MOS transistor according to prior art, Figure 4 is a top view showing an example of this invention, Figure 5 is a diagram explaining the characteristics of the relationship between breakdown voltage V_{DSS} and breakdown current $I_{BR(P)}$, and Figure 6 is a graph diagram showing the results of a test of the embodiment shown in Figure 4.

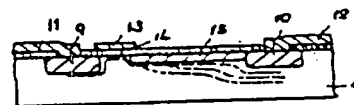
(21) ... P-type silicon substrate, (22) ... source region, (23) ... drain region, (24) ... low impurity concentration region, (25) ... channel region.

147557-12558(3)

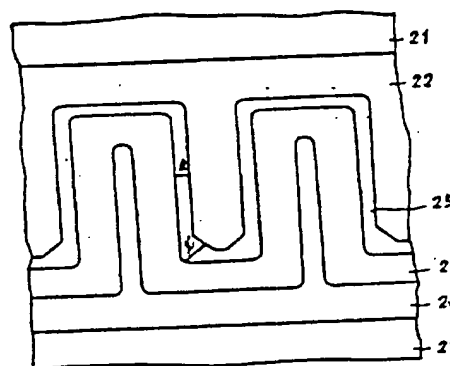
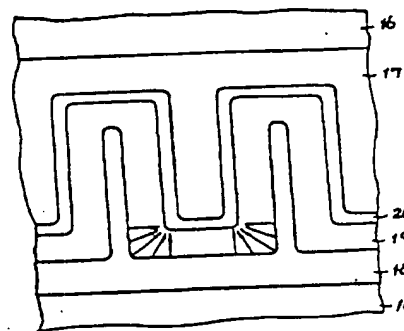
第1圖



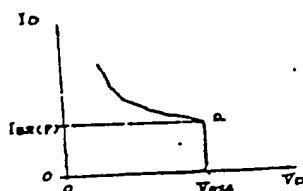
第2圖



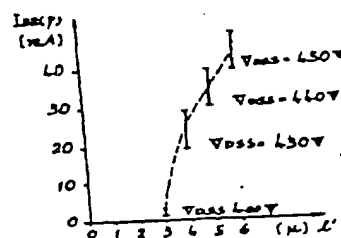
第3圖



第5圖



第6圖



⑨ 日本国特許庁 (JP)
⑫ 公開特許公報 (A)

⑬ 特許出願公開

昭57—12558

SpInt. Cl.³
H 01 L 29/78
29/06

識別記号

庁内整理番号
6603—5F
7514—5F

⑬公開 昭和57年(1982)1月22日

発明の数 1
審査請求 未請求

(全 3 頁)

540高耐圧MOSトランジスタ

21特 願 昭55—86879

22出 願 昭55(1980)6月25日

23発 明 者 田中忠彦
群馬県邑楽郡大泉町大字坂田18
0番地東京三洋電機株式会社内

24発 明 者 野崎勉

群馬県邑楽郡大泉町大字坂田18
0番地東京三洋電機株式会社内
25出 願 人 三洋電機株式会社
守口市京阪本通2丁目18番地
26出 願 人 東京三洋電機株式会社
群馬県邑楽郡大泉町大字坂田18
0番地
27代 理 人 弁理士 佐野静夫

明 細 書

1 発明の名称 高耐圧MOSトランジスタ

2 特許請求の範囲

1. 第1導電型半導体基体上に互いに離れて棚形に形成された第2導電型のソース、ドレイン領域と、該ドレイン領域側に形成された第2導電型の低不純物濃度領域と、該低不純物濃度領域と前記ソース領域との間に形成されたチャンネル領域とを備え、前記ソース領域の先端部に形成されたチャンネル領域の曲折部のチャンネル長を他の部分より長くしたことを特徴とする高耐圧MOSトランジスタ。

3 発明の詳細な説明

本発明はドレイン耐圧の高いMOSトランジスタの構造に関する。

一般にMOSトランジスタはスイッチングスピードがバイポーラトランジスタに比べて非常に早く、入力特性が正の係数を持っている為主に高周波増子及びパワー用増子として用いられる。

通常のMOSトランジスタの断面構造を第1図

に示す。第1図に於いて、(1)はP型シリコン基板、(2)(3)はそれぞれN⁺導電型を有するソース、ドレイン領域、(4)はゲート酸化膜、(5)(6)(7)はそれぞれソース電極、ドレイン電極、ゲート電極を示す、また第1図中に示された破線はドレイン電圧を印加した場合の等電位線である。ドレイン耐圧はドレイン領域(3)と基板(1)との接合耐圧で制限されるが、実際には等電位線から明らかな様に、ゲート電極(7)とドレイン領域(3)との重なりによって生じるドレイン領域(3)表面近傍の電流集中に依って決定され、ゲート酸化膜(4)が1000Å程度の場合にはドレイン耐圧は50V程度にしかない。

第2図はドレイン耐圧を向上させたMOSトランジスタの断面構造であり、(8)はP型シリコン基板、(9)(10)はそれぞれN⁺導電型のソース、ドレイン領域、(11)(12)(13)はそれぞれソース電極、ドレイン電極、ゲート電極であり、ドレイン領域(10)からチャンネル領域(14)方向にN⁻型の低不純物濃度領域(15)が設けられている。この低不純物濃度領域(15)を形成することに依り、等電位線は破線で示される

如くチャンネル 04 方向に延在され、ドレイン領域 00 表面近傍の電流集中が防止されドレイン耐圧は 3.00 V から 4.00 V 程度まで向上する。この低不純物濃度領域 09 は一般にドリフトチャンネルと呼ばれている。

一方高い相互コンダクタンス g_m を得るためには $g_m \propto \frac{W}{L}$ (W はゲート幅、 L はゲート長) より、ゲート長 L を短かくしゲート幅 W を大きくすれば良いが、ゲート長 L はあまり極端に短かくすることは出来ず通常 2~7 μ 程度に形成される。そこでゲート幅を大きくするためにソース、ドレイン領域を曲形に形成する構造が知られている。第 3 図は MOS トランジスタの一部表面図である。第 3 図に於いて、06 は P 型シリコン基板、07 08 はそれぞれ N^+ 導電型のソース、ドレイン領域、09 は N^- 導電型の低不純物濃度領域、04 はチャンネル領域であり、ソース領域 07 及びドレイン領域 08 はそれぞれ曲形に形成され組合わされている。従ってチャンネル領域 04 はジグザグに形成されるのでゲート幅を大きくすることができる、しかしドレ

イン領域 08 の曲形の根元付近からソース領域 07 突出した先端部のチャンネル領域 04 に向かって、印で示される如く電気力線が集中し、チャンネル領域 04 の曲折部と低不純物濃度領域 09 での境界で降伏破壊を生じ降伏電圧及び降伏電流を向上することができなかつた。降伏破壊は第 5 図に示すグラフに於いて、ドレインに降伏電圧 V_{DSS} を印加した時、A 点で示される電流で降伏破壊を生じこの時の電流が降伏電流 $I_{BB}(P)$ である。第 3 図に示される構造では降伏電圧 V_{DSS} は 3.00 V ~ 4.00 V 程度であり、降伏電流 $I_{BB}(P)$ は 1~3 mA 程度であった。

本発明は上述した点に鑑みて為されたものであり、従来の欠点を除去した高耐圧 MOS トランジスタを提供するものである。以下図面を参照して本発明を詳細に説明する。

第 4 図は本発明の実施例を示す一部表面図であり、01 は P 型シリコン基板、02 03 はそれぞれ N^+ 導電型のソース、ドレイン領域、04 は N^- 導電型の低不純物濃度領域、05 はチャンネル領域である。

P 型シリコン基板 01 には層抵抗 R_s が 10~20 Ω 程度のものが用いられ、低不純物濃度領域 04 はエピタキシャル成長あるいはイオン注入等によって層抵抗 $R_s = 8 \Omega$ 、深さ 20 μ 程度に形成される、一方ソース領域 02 及びドレイン領域 03 は互いに組合せられた曲形状に拡散に依って形成され、その間のチャンネル領域 05 はイオン注入に依って不純物が注入され、所定のチャンネル濃度となる様制御される、またチャンネル領域 05 のチャンネル長は 3 μ 、幅は 120 μ に形成される。

このチャンネル領域 05 はソース領域 02 先端部の曲折部に於いて、そのチャンネル長 l がその他の部分のチャンネル長 l' より長く形成される。即ちチャンネル領域 05 とソース領域 02 との境界がソース領域 02 側を通る様に直線形成する。あるいは曲率半径の大きい曲線で形成しても良い。この様にチャンネル長を $l < l'$ とすると、ソース領域 02 先端部の曲折部に於けるチャンネル抵抗がその他の部分より大きくなり、ドレイン領域 03 の根元から曲折部に向う電気力線が少なくなり、この部分

での電界が弱まる。従って電流集中を防ぐことができるのである。

第 6 図は第 5 図に示した実施例の実験結果を示すグラフであり、曲折部のチャンネル長 l と降伏電流 $I_{BB}(P)$ との関係を示す。尚チャンネル長 l は 3 μ の場合である。

チャンネル長 $l = 3 \mu$ の時、降伏電圧 $V_{DSS} = 4.00$ V、降伏電流 $I_{BB}(P) = 1 \sim 3$ mA であるのに対し、チャンネル長 $l = 4 \mu$ の時は降伏電圧 $V_{DSS} = 4.30$ V、降伏電流 1.9~2.9 mA、チャンネル長 $l = 5 \mu$ の時は降伏電圧 $V_{DSS} = 4.40$ V、降伏電流 $I_{BB}(P) = 3.0 \sim 4.0$ mA、チャンネル長 $l = 6 \mu$ の時は降伏電圧 $V_{DSS} = 4.50$ V、降伏電流 $I_{BB}(P) = 4.0 \sim 5.0$ mA となっている。以上の結果から明らかな様に降伏電圧 V_{DSS} の向上が得られると共に、降伏電流 $I_{BB}(P)$ が大幅に改善されるものである。

上述の如く本発明に依ればソース領域先端部に於けるチャンネル領域の曲折部のチャンネル長を他の部分より長く形成することに依って、その部

分の+。ンネル抵抗が増し電圧降下が防止される
ので降伏電圧及び降伏電流が大幅に改善され、高
耐圧MOSトランジスタを得ることができるもの
である。

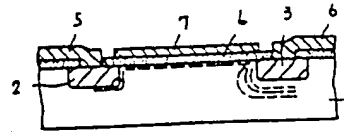
4. 図面の簡単な説明

第1図は従来例を示す一部断面図、第2図は改
良された従来例の一部断面図、第3図は従来のM
OSトランジスタの表面図、第4図は本発明の実
施例を示す表面図、第5図は降伏電圧 V_{DS} と
降伏電流 I_{DS} の関係を示す特性図、第6図は
第4図に示した実施例の実験結果を示すグラフで
ある。

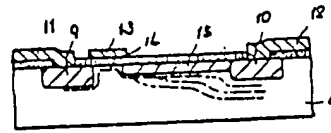
20……P型シリコン基板、22……ソース領域、
24……ドレイン領域、26……低不純物濃度領域、
28……+。ンネル領域。

出願人 三洋電機株式会社 外1名
代理人 井垣士佐 野 静 天

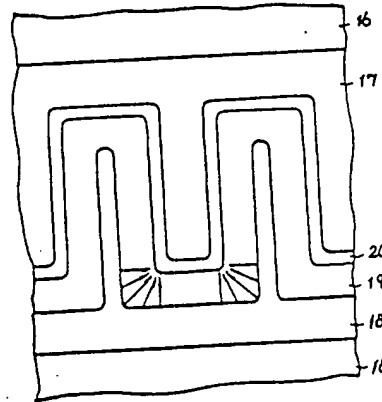
第1図



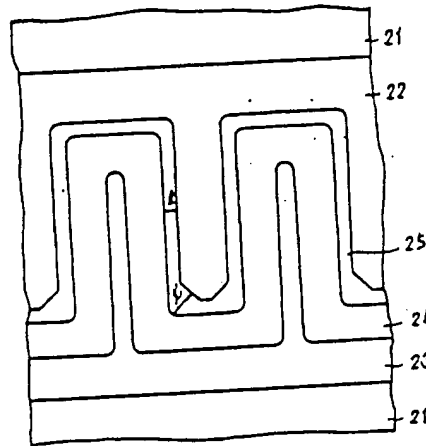
第2図



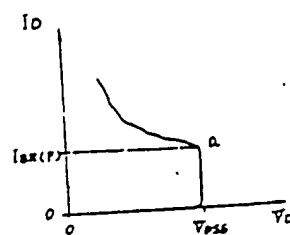
第3図



第4図



第5図



第6図

